

AH

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-333654

(43) 公開日 平成10年(1998)12月18日

(51) Int.Cl. ⁸	識別記号	F I		
G 0 9 G 5/00	5 1 0	G 0 9 G 5/00	5 1 0 X	5 1 0 S
	5/18		5/18	
	5/36		5/36	5 2 0 E
H 0 4 N 5/46	5 2 0	H 0 4 N 5/46		
審査請求 未請求 請求項の数 1 O L (全 5 頁)				

(21) 出願番号 特願平9-147695

(22) 出願日 平成9年(1997)6月5日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 沢田 昌幸

東京都大田区下丸子3丁目30番2号キヤノ

ン株式会社内

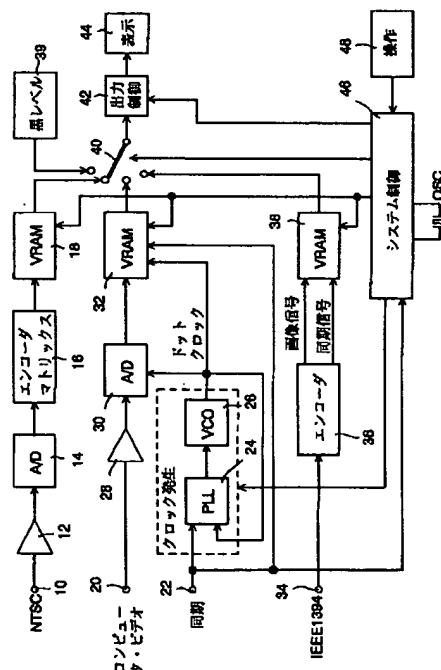
(74) 代理人 弁理士 田中 常雄

(54) 【発明の名称】 画像表示装置

(57) 【要約】

【課題】 互いにタイプの異なる複数種の映像信号を任意の位置に任意のサイズで表示する。

【解決手段】 入力端子10に入力するNTSCビデオ信号の画像データをVRAM18に記憶する。入力端子20にはコンピュータ・ビデオ信号が入力し、入力端子22にはその同期信号が入力する。コンピュータ・ビデオ信号は、関連する同期信号から生成されたドット・クロックによりA/D変換器30によりデジタル化され、VRAM32に格納される。IEEE1394インターフェースからのビデオ信号は、エンコーダ36によりビデオ・データと同期信号に変換分離され、VRAM38に格納される。システム制御回路46は、VRAM18、32、38に対し、読み出しアドレスを指定して垂直方向を変倍する。VRAM18、32、38から読み出された画像データはセレクト40により選択され、出力制御回路42により水平方向で変倍されて、表示装置44に印加される。



【特許請求の範囲】

【請求項1】 互いにタイプの異なる複数種の映像信号を表示自在な画像表示装置であって、

当該複数種の映像信号がそれぞれ入力する複数の入力手段と、

当該複数の入力手段からの当該複数の映像信号の画像情報を、それぞれの同期信号に従い記憶し、画面垂直方向について指定の位置及びサイズで読み出し自在な複数の画像メモリ手段と、

当該画像メモリ手段から読み出された画像データを選択する選択手段と、

当該選択手段からの画像情報を画面水平方向で変倍する出力制御手段と、

当該出力制御手段からの画像情報を画像表示する表示手段とからなることを特徴とする画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、映像信号と同期信号とを含むビデオ信号を画像表示する画像表示装置に関する。

【0002】

【従来の技術】近年、パーソナル・コンピュータでは、グラフィカル・ユーザ・インターフェースが多用され、また、グラフィックを扱うアプリケーション・ソフトウェアが普及して多く使用されるようになり、コンピュータ・ディスプレイのグラフィック表示の画質の向上と高品位化が求められている。具体的には表示解像度の拡大と、ちらつきの減少が求められている。後者は、フレーム（フィールド）周波数を高くすることで実現できる。

【0003】この結果、以前主流だった640×480画素のVGAモードに加え、800×600画素のSVGAモード、1024×768画素のXGAモードに加えて、更には1280×1024画素の高解像度なSXGAモードも一般的になってきた。しかも垂直同期周波数は60Hzから70Hz以上へと高くなる傾向にある。

【0004】一方、画像表示装置として、液晶表示素子及びプラズマ・ディスプレイ・パネル等のフラット・パネル・ディスプレイが注目されている。フラット・パネル・ディスプレイは、ラップトップ・コンピュータやノートブック・コンピュータはもとより、デスクトップ・コンピュータ用のモニターとしても、コンパクト性や電磁波の放出が極めて低いことなどから、これまでのCRTに代わって今後広く用いられるようになると予想される。

【0005】コンピュータで動画を扱いたいとする要望が高まると共に、コンピュータ自信も、動画を扱える程にその能力が高まったことにより、コンピュータシステムに様々な変革が生じている。例えば、従来のコンピュータ画面は、テキストをベースとした者であったが、昨

今は、ビデオ・キャプチャ・ボードによりNTSC画像のコンピュータへの取り込みや、コンピュータ・ディスプレイへの表示も普通に可能になってきている。

【0006】また、ビデオ・ストリームのような大量のデータを高速に転送できるシリアル・インターフェースIEEE1394が規格化され、実用化されようとしている。このIEEE1394インターフェースを使用することにより、ビデオ・ストリームをカメラなどの映像ソースからコンピュータその他の画像処理装置にリアルタイムで転送することも困難ではなくなる。

【0007】

【本発明が解決しようとする課題】しかしながら、IEEE1394で転送される画像データをディスプレイに表示するためには、IEEE1394の転送用フォーマットの画像データを表示用のフォーマット又は所定規格のビデオ信号に変換する必要がある。

【0008】また、NTSC画像をコンピュータ画面に表示する際、ビデオ・キャプチャ・ボードの性能以外にコンピュータの発生するノイズにより画質が劣化するおそれがある。

【0009】更に、現行のディスプレイでは、優先度の高い画像メディアの表示を所望の位置に所望の大きさで表示することが出来ない。

【0010】本発明は、このような問題点を解決した画像表示装置を提示することを目的とする。

【0011】

【課題を解決するための手段】本発明に係る画像表示装置は、互いにタイプの異なる複数種の映像信号を表示自在な画像表示装置であって、当該複数種の映像信号がそれぞれ入力する複数の入力手段と、当該複数の入力手段からの当該複数の映像信号の画像情報を、それぞれの同期信号に従い記憶し、画面垂直方向について指定の位置及びサイズで読み出し自在な複数の画像メモリ手段と、当該画像メモリ手段から読み出された画像データを選択する選択手段と、当該選択手段からの画像情報を画面水平方向で変倍する出力制御手段と、当該出力制御手段からの画像情報を画像表示する表示手段とからなることを特徴とする。

【0012】上記構成により、タイプの異なる複数種の映像信号、例えば、NTSCビデオ信号、コンピュータ・ビデオ信号及び、シリアル・インターフェースからのビデオ信号を同時に扱うことができ、しかも、表示画面の任意の位置に任意のサイズで表示させることができる。

【0013】

【発明の実施の形態】以下、図面を参照して、本発明の好ましい実施の形態を詳細に説明する。

【0014】図1は、本発明の一実施例の概略構成ブロック図を示す。10はNTSC方式のアナログ・ビデオ信号の入力端子、12は、入力端子10からのビデオ信

号を増幅するビデオ・アンプ、14はビデオ・アンプ12のアナログ出力をデジタル信号に変換するA/D変換器、16はA/D変換器14の出力からデジタル・ビデオ信号と同期信号を生成するエンコーダ・マトリックス、18は、エンコーダ・マトリックス16の出力を一時記憶するデュアルポートVRAMである。

【0015】20はコンピュータ・ビデオ信号の入力端子、22はその同期信号の入力端子である。24は、チャージポンプ型ローパスフィルタと分周期を含む位相ロック・ループ(PLL)回路、26は電圧制御発振器(VCO)であり、外部からの制御信号に従った周波数であって、入力端子22からの同期信号に同期したドット・クロック信号を生成するクロック発生回路として機能する。28は、入力端子20からのビデオ信号を増幅するビデオ・アンプ、30は電圧制御発振器26の出力クロック(ドット・クロック)に従いビデオ・アンプ28のアナログ出力をデジタル化するA/D変換器、32は、入力端子22からの同期信号及び電圧制御発振器26から出力されるドット・クロック信号に従いA/D変換器30の出力ビデオ・データを取り込むデュアルポートVRAMである。

【0016】34はIEEE1394インターフェースの接続端子、36は接続端子34からのビデオ・データから画像信号と同期信号を分離し、所定のデータ・フォーマットで出力するエンコーダ、38は、エンコーダ36からの同期信号に従いエンコーダ36からの画像情報を記憶するデュアルポートVRAMである。

【0017】39は、表示画面全体の背景となる黒レベル画像信号を供給する黒レベル信号発生回路である。勿論、背景は、黒レベル以外であってもよい。

【0018】40はVRAM18、32、38及び黒レベル信号発生回路39の出力を選択するセレクタ、42はセレクタ40により選択されたビデオ・データを表示装置44の駆動信号又は制御信号に変換して表示装置44に印加する出力制御回路である。

【0019】46は、ユーザにより操作される操作装置48からの操作情報と同期信号入力端子22からの同期信号に従い各部、特に、PLL回路24と電圧制御発振器26からなるクロック発生回路、VRAM18、32、38、セレクタ40及び出力制御回路42を制御するシステム制御回路である。

【0020】本実施例の動作を説明する。入力端子10に入力するビデオ信号はアンプ12により増幅され、A/D変換器14によりデジタル信号に変換された後、エンコーダ16により所定形式の画像データと同期信号に変換される。VRAMはエンコーダ16からの同期信号に従い、エンコーダ16からの画像データを内部の記憶領域に格納する。

【0021】コンピュータ・ビデオ信号は次のように処理される。即ち、クロック発生回路のPLL回路24

は、同期信号入力端子22からの水平同期信号をレファレンスとしてこれに位相同期し且つシステム制御回路46に従う周波数逡倍率で逡倍されたドット・クロックをVCO26に発生させる。入力端子20に入力するコンピュータ・ビデオ信号はアンプ28により増幅され、A/D変換器30に印加される。A/D変換器30はVCO26からのドット・クロックに従ってアンプ28の出力をデジタル信号に変換し、VRAM32は、VCO26からのドット・クロックに従ってA/D変換器30の出力データを取り込む。

【0022】IEEE1394インターフェース接続端子34からのビデオ・データは、エンコーダ36により所定形式の画像データと同期信号に変換分離され、VRAM38は、エンコーダ36からの同期信号に従いエンコーダ36からの画像データを内部の記憶領域に格納する。

【0023】システム制御回路46は、操作装置48によるユーザの操作入力に従い、3つの入力画像、即ちVRAM18、32、38に記憶される各画像をモニタ画面上のどの位置にどのような大きさで表示するかを制御する。システム制御回路46は具体的には、ユーザが設定する各表示領域をモニタ画面の空間上にそれぞれマッピングし、それらの表示領域の解像度を算出する。そして、その解像度と実際のVRAM上の解像度から、表示する際の解像度変換倍率 a/b を算出する。その後、モニタ空間上にマッピングされた各表示領域に対し、表示領域の各表示画素において変換倍率に対応したVRAM読み出しアドレスを割り振る。例えば、水平方向において1/2倍の場合、VRAM上の画素をモニタ画面上の表示領域へ1つおきにマッピングするようにする。垂直方向においても同様に行う。このように解像度変換を全ての表示領域に行った後に、モニタ画面上における各表示領域の前後関係を算出し、前面の画像を表示するようにモニタ画面上の全ての画素についてセレクタ40が選択すべき端子と、それがVRAMの場合は、そのアドレスをマッピングする。

【0024】システム制御回路46はまた、出力制御回路42に対し、画像の水平方向に対する縮小・拡大を指示する制御信号及び表示装置44へ出力するためのタイミング制御信号を供給する。

【0025】システム制御回路46は更に、同期信号入力端子22に入力する同期信号から表示モードを認識し、適切な分周率をPLL24に設定する。

【0026】図2は、出力制御回路42の概略構成ブロック図を示す。50、52はセレクタ、54、56はライン・バッファ、58はシステム制御回路46からの生業信号に従いセレクタ50、52を制御し、ライン・バッファ54、56を駆動及び制御するタイミング制御回路である。タイミング制御回路58は、ライン・バッファ54、56を排他的に選択するように、即ち、ライン

・バッファ54（又は56）を画像データ書き込み用としており、ライン・バッファ56（又は54）を画像データ読み出し用となるように、セクタ50、52を制御する。

【0027】セクタ40からの画像データは、セクタ50により書き込み用バッファとして選択されたライン・バッファ54（又は56）に供給される。書き込み用バッファでは、システム制御回路46からの制御信号から生成されたアドレス信号（Add）、ライト信号（R/W）及びイネーブル信号（En）に従って、セクタ50からの画像データを取り込む。これにより、ユーザが設定した表示領域に適切に表示されるように、水平方向に対して画像データの間引きによる縮小及び補間による拡大が行なわれる。1ライン分の画像データが処理されると、このライン・バッファ54（又は56）は今度は読み出し用となり、別のライン・バッファ56（又は54）が書き込み用となる。

【0028】タイミング制御回路58は、読み出し用バッファとして選択されたライン・バッファ56（又は54）に、システム制御回路46からの制御信号から生成したアドレス信号（Add）、ライト信号（R/W）及びイネーブル信号（En）を供給して、データを読み出す。読み出されたデータはセクタ52を介して表示装置44に供給される。

【0029】この様にして、ユーザが所望する画像を表示装置44の所望の位置で所望のサイズに表示することが可能となる。

【0030】

【発明の効果】以上の説明から容易に理解できるように、本発明によれば、一つのディスプレイで、タイプの異なる複数種のビデオ信号を任意に画像表示させることが可能になり、コストパフォーマンスに優れた表示装置*

*を提供できる。

【図面の簡単な説明】

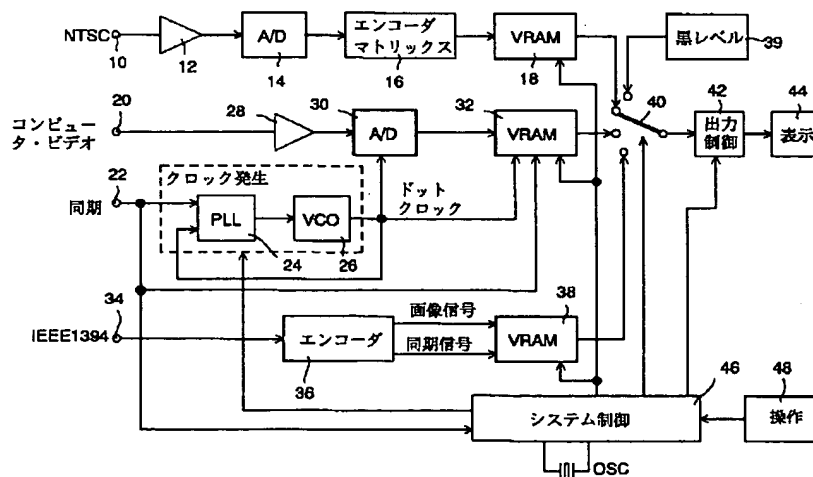
【図1】 本発明の一実施例の概略構成ブロック図である。

【図2】 出力制御回路42の概略構成ブロック図である。

【符号の説明】

10：NTSC方式アナログ・ビデオ信号の入力端子
12：ビデオ・アンプ
14：A/D変換器
16：エンコーダ・マトリックス
18：デュアルポートVRAM
20：コンピュータ・ビデオ信号入力端子
22：同期信号入力端子
24：位相ロック・ループ（PLL）回路
26：電圧制御発振器（VCO）
28：ビデオ・アンプ
30：A/D変換器
32：デュアルポートVRAM
34：IEEE1394インターフェース接続端子
36：エンコーダ
38：デュアルポートVRAM
39：黒レベル信号発生回路
40：セクタ
42：出力制御回路
44：表示装置
46：システム制御回路
48：操作装置
50、52：セクタ
54、56：ライン・バッファ
58：タイミング制御回路

【図1】



【図2】

